

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10326833 A**

(43) Date of publication of application: **08 . 12 . 98**

(51) Int. Cl. **H01L 21/82**

(21) Application number: **09150052**

(71) Applicant: **NEC CORP**

(22) Date of filing: **23 . 05 . 97**

(72) Inventor: **KAZAMI TETSUO**

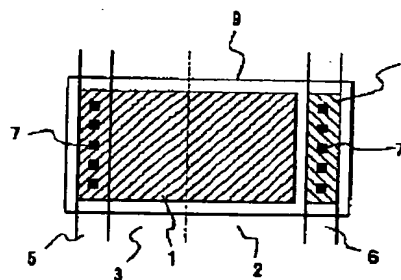
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To arrange a block for absorbing power supply noise in a chip on a wiring unarranged region by a method, wherein a P⁺ diffused layer formed into the well contact of a P-type well is extended to the region of an N-type well, and the capacitor block for constituting a P-N junction capacitance is provided between the diffused layer and the N-type well.

SOLUTION: In the interior of a capacitor block 9, a P⁺ diffused layer 1, on which a GND wiring 5 is constituted on contacts 7 and which is formed into a well contact of a P-type well 3, is extended to the region of an N-type well 2, whereby a P-N junction is formed between the well 2 and the layer 1 and a P-N junction capacitance is obtained. Moreover, the well 2 is connected with a VDD wiring 6 via an N⁺ diffused layer 4 formed into a well contact and the contacts 7. By the above cell constitution, the P-N junction capacitance can be constituted within the block, without the use of a signal wiring channel other than the GND and VDD wirings.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326833

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁶

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

B

審査請求 有 請求項の数 6 F D (全 5 頁)

(21) 出願番号 特願平9-150052

(22) 出願日 平成9年(1997)5月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 風見 哲夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 加藤 朝道

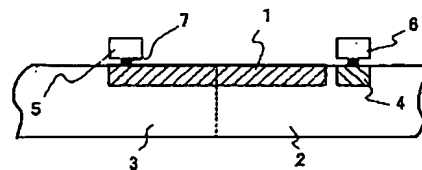
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

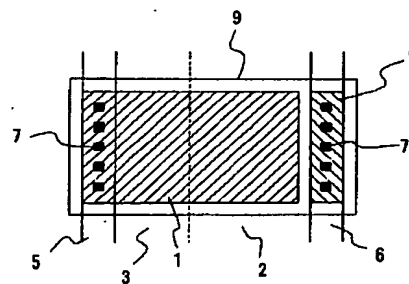
【課題】スタンダード・セル方式の半導体集積回路で、電源ノイズ吸収のための、容量を構成するブロックを、自動配置配線終了後の未配置領域に配置するチップ内に配置する。

【解決手段】Pウェルコンタクトを形成するP'拡散層を、Nウェル領域まで伸張することにより、配線を使わずにPN接合容量を構成した容量ブロックを、チップの自動配置配線後に、未使用セル領域に配置することで、容量ブロックを特に意識することなしに、チップの自動配置配線を行うことができる。

(a)



(b)



【特許請求の範囲】

【請求項 1】 スタンダードセル方式の半導体集積回路において、

配線チャンネル領域で専用の配線を使わずに、P ウェルコンタクトを形成するP'拡散層をNウェル領域にまで伸張し、P'拡散層とNウェル間に、PN接合容量を構成した容量ブロックを備えたことを特徴とする半導体集積回路。

【請求項 2】 スタンダードセル方式の半導体集積回路において、

配線チャンネル領域で専用の配線を使わずに、Nウェルコンタクトを形成するN'拡散層を、Pウェル領域にまで伸張し、PウェルとN'拡散層間に、PN接合容量を構成した容量ブロックを備えたことを特徴とする半導体集積回路。

【請求項 3】 所望の機能を構成する回路のチップレベルでの自動配置配線終了後に、請求項 1、又は 2 記載の容量を構成するブロックを、未使用セル領域の少なくとも一部に、配置することを特徴とする半導体集積回路。

【請求項 4】 所望の機能を構成する回路のチップレベルでの自動配置配線終了後に、予め未配置セル領域に配置されたフィードスルーセルの少なくとも一部のセルを、請求項 1、又は 2 記載の容量を構成するブロックで置き換える、ことを特徴とする、半導体集積回路。

【請求項 5】 前記容量ブロックにおいて、Pウェル領域を狭め、Nウェル領域をグラウンド配線側に拡張したことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 6】 前記容量ブロックにおいて、Nウェル領域を狭め、Pウェル領域を電源配線側に拡張したことを特徴とする請求項 2 記載の半導体集積回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路に関し、特にスタンダードセル方式の半導体集積回路における、電源ノイズの低減技術に関する。

【0002】

【従来の技術】 近年、半導体集積回路においては、回路設計技術、微細加工技術の発達により、回路の高速化、高集積化がなされてきており、これに伴い、チップ内の回路動作によって発生する電源ノイズによる回路の誤動作の問題が顕在化してきている。

【0003】 この問題を解決するために、例えばマスタースライス方式のゲートアレイでは、図 4 (a) に断面図、及び図 4 (b) に平面図として示すように、未使用ゲートのMOSトランジスタを構成する、ソースおよびドレインとなるN'拡散層 1 を、配線 8 でGND配線 5 に接続することで、N'拡散層 1 とPウェル 2 間にPN接合容量を構成し、GND配線 5 とVDD配線 6 の間に、コンデンサとして接続し、電源ノイズを低減化する方法等が知られている。

【0004】 このように、ゲートアレイ方式の半導体集積回路装置において未使用回路要素がもつ浮遊容量によって半導体集積回路装置内部にバイパスコンデンサを構成するようにしたものとして、例えば特開昭62-123739号公報等の記載が参照される。

【0005】 また、N'拡散層とPウェル間のPN接合を例に挙げたが、逆の構成の、P'拡散層とNウェル間のPN接合を構成することも、当然可能である。

【0006】

10 **【発明が解決しようとする課題】** 電源ノイズ吸収用のPN接合容量を構成するために、未使用ゲート内の配線チャンネル領域で、ゲートアレイセル内に配線する必要があるために、チップレベルでルータによる自動配置配線を行うためには、予め、チップ内に配置場所を決めて配置しておくか、自動配置配線を行うネットリスト内に回路として記述して、普通の回路を構成するブロックと同等に配置配線を行う必要が生じ、設計作業の煩雑化、作業量の増大、設計TAT (Turn Around Time) の増大という問題点がある。

20 **【0007】** また、セル内のPN接合を構成する金属配線により、信号配線チャンネルが減少するために、多くの容量ブロックを使用すると、チップ内で所望の回路を構成するブロック間の信号配線に影響を及ぼして、配線性が悪くなり、ブロック間配線長の増大および配線遅延時間の増大、ルータによる自動配置配線時間の増大、およびそれに伴う設計コストの増大等の問題点もある。

30 **【0008】** したがって、本発明の目的は、上記従来技術の問題点を解消し、スタンダード・セル方式の半導体集積回路において、電源ノイズ吸収のための、容量を構成するブロックを、自動配置配線終了後の未配置領域に配置するチップ内に配置する、半導体集積回路を提供することを目的とする。

【0009】

【課題を解決するための手段】 前記目的を達成するため、本発明のスタンダードセル方式の半導体集積回路は、配線チャンネル領域で専用の配線を使わずに、Pウェルコンタクトを形成するP'拡散層をNウェル領域まで伸張し、P'拡散層とNウェル間に、PN接合容量を構成してなる容量のブロックを備えたことを特徴とする。

40 **【0010】** また、本発明は、配線チャンネル領域で専用の配線を使わずに、Nウェルコンタクトを形成するN'拡散層を、Pウェル領域まで伸張し、PウェルとN'拡散層間に、PN接合容量を構成してなる容量ブロックを備える。

50 **【0011】** 本発明は、所望の機能を構成する回路のチップレベルでの自動配置配線終了後に、上記容量を構成するブロックを、未使用セル領域の少なくとも一部に、配置する、もしくは、予め未配置セル領域に配置されたフィードスルーセルの少なくとも一部のセルを、上記容量を構成するブロックで置き換える、ことを特徴とす

る。

【0012】

【発明の実施の形態】本発明の実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、スタンダードセル方式の半導体集積回路は、ブロック内の配線チャンネル領域で、専用の配線を使わずに、Pウェルコンタクトを形成するP'拡散層を、Nウェル領域まで伸張することにより、P'拡散層とNウェル間に、PN接合容量を構成した容量ブロックを、自動配置配線後に、未使用セル領域に配置する、もしくはフィードスルー・セルを、PN接合容量を構成したブロックに置き換える構成を備える。

【0013】チップ内で所望の回路を構成するブロックの配置およびブロック間配線を、チップレベルで行った後で、ブロック内の配線チャンネル領域に、配線を持たない容量のブロックを、回線を構成するブロックの未配置領域に配置したとしても、すでに配線されている配線には一切影響を及ぼさないので、電源ノイズ吸収用の容量ブロックを特に意識することなしに、チップの自動配置配線を行うことができる。またノイズの発生源すなわち動作をするブロックの直近に、未配置セル領域があれば、その直近に前記容量のブロックを配置することにより、より大きなノイズ低減効果を得ることができる。

【0014】

【実施例】本発明の実施例について図面を参照して以下に説明する。

【0015】〔実施例1〕図1は、本発明の第1の実施例の構成を説明するための図であり、図1(a)は容量ブロック内で、容量を構成するPN接合容量のレイアウト断面図、図1(b)はレイアウト平面図である。

【0016】容量ブロック9の内部で、GND配線5にコンタクト7で構成した、Pウェル3のウェルコンタクトとなるP'拡散層1を、Nウェル2の領域にまで伸張することにより、Nウェル2とP'拡散層1との間にPN接合が形成され、PN接合容量が得られる。またNウェル2は、ウェルコンタクトとなるN'拡散層4、コンタクト7を介して、VDD配線6に接続する。

【0017】以上のセル構成により、容量ブロック内で、GND、VDD配線以外の信号配線チャンネルを使用することなしに、PN接合容量を構成できる。

【0018】容量ブロック自体では、GNDとVDD間の第1層の信号配線チャンネル領域に配線を持たないために、チップで所望の回路を構成するための信号配線は、このブロックの内部を何の障害もなく通過することができる。

【0019】また本実施例では、P型基板上に、PウェルおよびNウェルを形成するプロセスで、Nウェル2とP'拡散層1の間で、PN接合容量を構成した場合を例として挙げているが、逆の構成、すなわちPウェルとN'拡散層の間で同様の構成が可能なことや、P型基板上

にNウェルのみを形成するプロセス、N型基板上にそれぞれのウェルを形成するプロセスにおいても、同様の効果が得られることは、勿論である。

【0020】図2は、上記した実施例1の、PN接合容量を構成したブロックを、チップ内に配置した状態を示す、レイアウト平面図である。

【0021】図2において、11、12はチップ内で所望の回路を構成する回路の基本ブロック、13は回路ブロック11、12内の回路を構成する1層の信号配線、10、14はチップの回路を構成する1層のブロック間信号配線、15、16はチップの回路を構成する2層の信号配線、17は1層配線14と2層配線16を接続するための第1スルーホール、5はGNDの1層配線、6はVDDの1層配線、9は上記実施例1の容量ブロックを表す。

【0022】チップレベルの回路の自動レイアウトを行う際には、まず回路を構成する基本ブロック11、12等の自動配置を行い、次に、10、14、15、16等のブロック間信号配線を行う。ここで、ブロックの配置が終了した段階、もしくは信号配線が終了した段階で、ブロックが配置されていない領域に、必要に応じて前記容量ブロック9の配置を行う。

【0023】また、容量ブロック9は、ブロック内の配線チャンネルに配線を有さないために、チップの回路を構成するブロック11、12の配置後、もしくは信号配線の配線後に、所望の回路を構成するブロックの未配置領域に配置を行っても、容量ブロック9の上を通過する1層配線10、2層配線15には何ら影響を及ぼすことが無く、チップレベルの配置配線では容量ブロック9を特に意識することなく配置配線を行い、その後必要に応じて、ブロックの未配置領域に、容量ブロック9を配置することが可能となる。

【0024】さらに回路の直近に容量を構成する容量ブロック9を配置することにより、回路動作時の電源ノイズを、発生源から近いところで吸収することができ、より大きな電源ノイズの低減効果も得られる。

【0025】〔実施例2〕次に本発明の第2の実施例について、図面を参照して説明する。

【0026】図3(a)は、本発明の第2の実施例の容量ブロック内で、容量を構成するPN接合容量の断面図、図3(b)はレイアウト平面図である。

【0027】一般的なスタンダードセル方式のブロックは、図1(b)に示したように、Pウェル領域3、Nウェル領域2は、同一のセル列では同じ幅で形成することが、一般的である。本実施例の容量ブロック18では、容量を構成する基本的な構成は、前記実施例1のPN接合容量と同じである。本実施例の容量ブロック18は、ブロックの内部で、Pウェル3の領域の幅を狭め、Nウェル2の領域をGND配線5側に広げることにより、Nウェル2とP'拡散層1の間に形成されるPN接合の面

5

積を、より大きくとることができ、前記実施例1よりも大きなPN接合容量が得られることになり、より大きな電源ノイズの吸収効果が得られる。

【0028】また前記実施例1と同様に、ウェルと拡散層が逆の構成、すなわちPウェルとN⁺拡散層間のPN接合を構成した場合であっても、同様の効果が得られることは、いうまでもない。

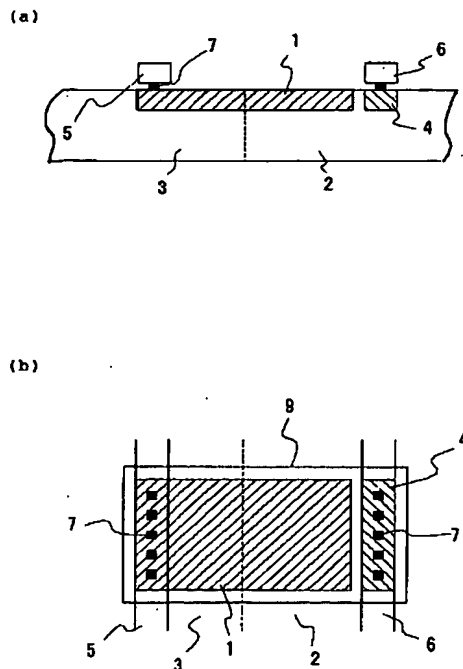
【0029】

【発明の効果】以上説明したように、本発明の半導体集積回路によれば、電源ノイズ吸収用の容量ブロックを、ブロック内の配線チャネル領域で配線を使わずに、PN接合容量を構成したことにより、チップを構成するブロックの配置およびブロック間配線を、チップレベルで行った後で、回路を構成するブロックの未配置領域に、自由にこの容量ブロックを配置することが可能となり、容量ブロックを特に意識することなしに、チップの自動配置配線を行うことができるという効果を奏する。また、本発明によれば、ノイズ発生源のブロックの直近への容量配置によるノイズ低減化、設計の容易化、設計TATの短縮等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図であり、(a)は断面図、(b)はレイアウトの平面図である。*

【図1】



6

*【図2】本発明の第1の実施例の、チップレイアウト平面図である。

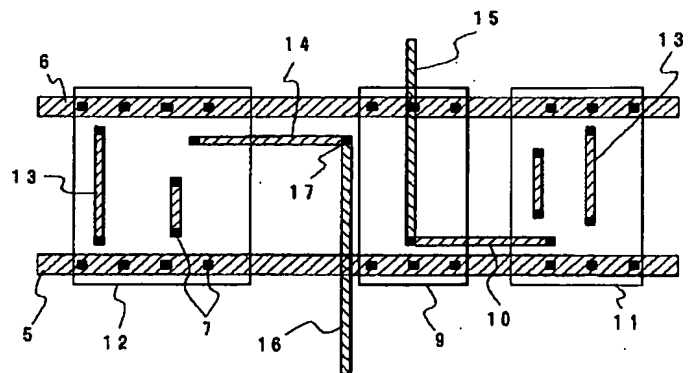
【図3】本発明の第2の実施例の構成を示す図であり、(a)は断面図、(b)はレイアウト平面図である。

【図4】従来技術の構成を示す図であり、(a)は断面図、(b)はレイアウト平面図である。

【符号の説明】

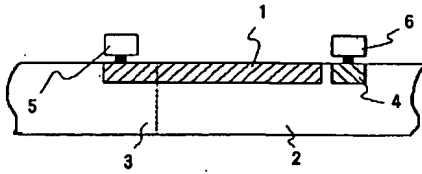
- 1 P⁺拡散層
- 2 Nウェル
- 3 Pウェル
- 4 N⁺拡散層
- 5 GND配線
- 6 VDD配線
- 7 コンタクト
- 8 配線チャネル内1層配線
- 9 実施形態1の容量ブロック
- 10、14 ブロック間1層信号配線
- 11、12 回路を構成する基本ブロック
- 13 基本ブロック内の1層配線
- 15、16 ブロック間2層配線
- 17 1-2層間スルーホール
- 18 実施形態2の容量ブロック

【図2】

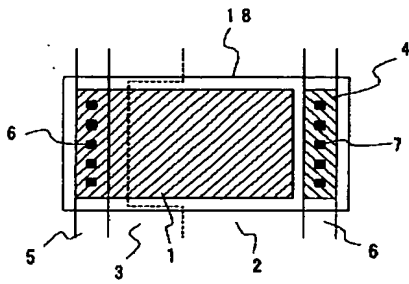


【図 3】

(a)

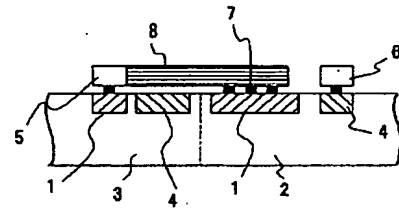


(b)



【図 4】

(a)



(b)

